

520.41089X00

10/050519  
01/18/02  
1c978 U.S. PTO

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): OKUDA, et al.  
Serial No.: Not assigned  
Filed: January 18, 2002  
Title: METHOD AND SYSTEM FOR INSPECTING ELECTRONIC  
CIRCUIT PATTERN  
Group: Not assigned

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

January 18, 2002

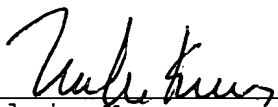
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Application No.(s) 2001-045490 and 2001-294482 filed February 21, 2001 and September 26, 2001.

Certified copies of said Japanese Applications are attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

  
\_\_\_\_\_  
Melvin Kraus  
Registration No. 22,466

MK/amr  
Attachment  
(703) 312-6600

日本国特許庁  
JAPAN PATENT OFFICE

JC978 U.S. PTO  
10/050519  
01/16/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日  
Date of Application:

2001年 2月21日

出願番号  
Application Number:

特願2001-045490

出願人  
Applicant(s):

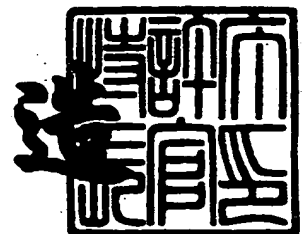
株式会社日立製作所

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年12月21日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 Y3336

【提出日】 平成13年 2月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/66

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 292番地 株式会社 日立製作所 生産技術研究所内

【氏名】 奥田 浩人

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 292番地 株式会社 日立製作所 生産技術研究所内

【氏名】 高木 裕治

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 292番地 株式会社 日立製作所 生産技術研究所内

【氏名】 渡辺 正浩

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 292番地 株式会社 日立製作所 生産技術研究所内

【氏名】 前田 俊二

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 292番地 株式会社 日立製作所 生産技術研究所内

【氏名】 野口 稔

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100093492

【弁理士】

【氏名又は名称】 鈴木 市郎

【電話番号】 03-3591-8550

【選任した代理人】

【識別番号】 100078134

【弁理士】

【氏名又は名称】 武 顕次郎

【電話番号】 03-3591-8550

【手数料の表示】

【予納台帳番号】 113584

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子回路パターンの欠陥検査管理システム

【特許請求の範囲】

【請求項 1】 半導体ウエハ上に形成された電子回路パターンの欠陥検査管理システムにおいて、

被検査対象領域を検査条件が異なる少なくとも 2 個以上の部分検査領域に分割する検査領域設定手段と、

該検査領域設定手段によって設定された各部分検査領域に対して、検査条件を設定する検査条件設定手段と、

該検査領域設定手段によって設定された各部分検査領域に対して、該検査条件設定手段によって設定した検査条件で検査を実行する検査実行手段と

を有することを特徴とする電子回路パターンの欠陥検査管理システム。

【請求項 2】 請求項 1 記載の電子回路パターンの欠陥検査管理システムにおいて、

前記検査領域設定手段は、レイアウトパターンに基づいて、前記被検査対象領域を分割することを特徴とする電子回路パターンの欠陥検査管理システム。

【請求項 3】 請求項 1 記載の電子回路パターンの欠陥検査管理システムにおいて、

前記検査領域設定手段は、レイアウトデータに基づいて、前記被検査対象領域をセル部と非セル部に分割することを特徴とする電子回路パターンの欠陥検査管理システム。

【請求項 4】 半導体ウエハ上に形成された電子回路パターンの欠陥検査管理システムにおいて、

被検査対象領域の場所毎に固有の検査条件を算出する検査条件設定手段と、

該被検査対象領域を、該検査条件算出手段によって算出された検査条件が同等の部分検査領域に分割する検査領域設定手段と、

該検査領域設定手段によって設定された各部分検査領域に対して、該検査条件設定手段によって設定された検査条件で検査を実行する検査実行手段と

を有することを特徴とする電子回路パターンの欠陥検査管理システム。

【請求項 5】 請求項 1～4 のいずれか 1 つに記載の電子回路パターンの欠陥検査管理システムにおいて、

前記検査領域設定手段は、少なくとも、欠陥の位置の分布を表わす欠陥分布マップ、またはレイアウトパターン、または前記検査対象領域の検出画像のいずれか 1 つ以上と検査領域設定状態とをオーバーレイ、もしくは同時に表示する表示画面を有することを特徴とする電子回路パターンの欠陥検査管理システム。

【請求項 6】 請求項 1～4 のいずれか 1 つに記載の電子回路パターンの欠陥検査管理システムにおいて、

前記検査領域設定手段は、前記被検査対象領域を欠陥出力領域と非出力領域とに分割し、

前記検査実行手段は、前記検査領域設定手段によって設定された該欠陥出力領域に属する欠陥のみを出力することを特徴とする電子回路パターンの欠陥検査管理システム。

【請求項 7】 請求項 1～4 のいずれか 1 つに記載の電子回路パターンの欠陥検査管理システムにおいて、

前記検査領域設定手段は、レイアウトデータを参照して前記被検査領域をセル部と非セル部とに分割し、

前記検査実行手段は、欠陥のない該セル部の画像を検出して、セル部参照画像として記憶し、

ユーザが指定した検査対象位置毎に画像を検出して欠陥画像とし、

該非セル部では、該検査対象位置毎に隣接するチップの同一パターンの箇所を参照画像として検出し、該欠陥画像と参照画像とを比較して欠陥を抽出し、

該セル部では、該検査対象位置によらず、該セル部の参照画像と該欠陥画像とを比較して欠陥を抽出することを特徴とする電子回路パターンの欠陥検査管理システム。

【請求項 8】 半導体ウエハ上に形成された電子回路パターンの欠陥情報を管理する欠陥検査管理システムにおいて、

該半導体ウエハ上の欠陥位置座標と属性とを求める欠陥抽出手段と、

被検査対象領域を欠陥管理基準が異なる複数の部分検査領域に分割する検査領

域設定手段と、

該欠陥管理基準が異なる該部分検査領域毎に欠陥管理基準を設定する欠陥管理基準設定手段と、

該欠陥抽出手段で求めた欠陥位置座標に対して、該欠陥管理基準設定手段によって設定された該欠陥管理基準と該欠陥の属性とに基づいて、欠陥毎に管理情報を付与する欠陥分類手段と

を有することを特徴とする電子回路パターンの欠陥検査管理システム。

【請求項 9】 請求項 8 記載の電子回路パターンの欠陥検査管理システムにおいて、

前記欠陥抽出手段は、少なくとも欠陥の位置座標とサイズを算出し、

前記欠陥管理基準設定手段は、レイアウトデータに基づいて前記被検査対象領域の各位置における致命欠陥判定サイズを算出し、

前記欠陥分類手段は、前記欠陥抽出手段で算出した欠陥位置座標に対して、前記管理基準設定手段によって設定した致命欠陥判定サイズと欠陥のサイズとを比較し、欠陥毎に致命か否かを示す管理情報を付与することを特徴とする電子回路パターンの欠陥検査管理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体ウエハ上に形成された電子回路パターンの欠陥を検査するパターン検査装置に係り、特に、パターン検査装置での検査パラメータ（検査条件）の設定工数を低減し、さらには、パターン検査装置で検出した欠陥情報の管理をする電子回路パターンの欠陥検査管理システムに関する。

【0002】

【従来の技術】

従来、半導体ウエハ上に形成された電子回路パターンの欠陥を検査するために、例えば、特開昭 6 2 - 4 3 5 0 5 号公報に記載されたような光学式ウエハ欠陥検査装置や特開平 1 0 - 1 3 5 2 8 8 号公報に記載されたような電子線式欠陥レビュー装置が知られている。ユーザは、これらの欠陥検査装置を用いて電子回路

パターンの欠陥検査する際、光学系の設定条件など、各種の検査パラメータを設定し、調整する必要がある。以下では、これらの検査装置における検査の概要を述べた上で、検査パラメータの設定について説明する。

## 【0003】

まず、第1の従来技術例として、光学式の欠陥検査技術について図8を用いて説明する。

## 【0004】

同図において、まず、ステージ20に被検査対象物である半導体ウエハ21を固定し、ステージ20を移動させながら、半導体ウエハ21の表面を光走査する。この半導体ウエハ21の表面からの反射光は検出光学系22を介して検出器23によって検出され、その検出出力がデジタルデータとしてメモリ24に格納される。

## 【0005】

半導体ウエハ21上には、チップのパターンが一定の間隔で繰り返し転写されている。半導体ウエハ21上の検査対象箇所27の画像（以下では、欠陥の検査対象となる画像ということで、欠陥画像という）を検出し、デジタルデータとしてメモリ24に格納した後、隣接するチップの同じパターンの箇所28の画像を参照画像として検出し、メモリ25に格納する。メモリ24、25に記憶した欠陥画像と参照画像とを比較器26で比較して欠陥を抽出し、出力する。

## 【0006】

以上では、参照画像として、隣接するチップの同じ個所の画像を検出して用いる場合であったが、メモリなどの繰り返しパターン部（以下、セル部という）を検査する場合には、繰り返し周期分ずらした画像を用いてもよい。通常、セル部では、物理的に離れた隣接チップの同一個所と比較するよりも、繰り返し単位を1周期分ずらした領域と比較した方が高感度の検査が可能とされる。その理由は、参照画像と欠陥画像との差画像において、正常部の輝度分布は物理的に近い方が小さい傾向にあり、従って、画像の欠陥部と正常部との信号強度の差が大きくなるからである。これは、パターンの形状ずれが物理的に近い方が小さいこと、あるいは表面膜によって生じる干渉光強度の差が物理的に近い方が小さいことな



どから説明される。

## 【0007】

通常、繰り返しパターン部で繰り返し周期の1周期分ずらした画像を参照画像とする方法をセル比較方式といい、隣接チップの同一個所の検出画像を参照画像とする方法をダイ比較方式という。

## 【0008】

図9は図8における比較器26における比較演算についての説明図であって、30は欠陥画像、31は参照画像である。

## 【0009】

同図において、欠陥画像30と参照画像31とを夫々2値化、即ち、画像の輝度値が一定値(=2値化しきい値)より大きいか、小さいかによって白黒に色分けする処理を行なって得られた2値画像32、33を比較論理演算し、その比較結果34を得る。この比較結果34中には、欠陥のみならず、欠陥画像30と参照画像31との中のパターン形状のぼらつきに起因する成分34aやノイズに起因する成分34bが生じている。通常、このような欠陥領域以外の成分の検出は、虚報の原因となるため、ノイズ除去処理を行なう。ノイズ除去は、例えば、2値化画像中で径が一定値(以下、ノイズ除去しきい値)以下の場合、ノイズとみなして除去することによって実現できる。ノイズ除去処理の結果、処理結果35の如く欠陥のみが抽出される。

## 【0010】

先に述べたように、ダイ比較方式では、セル比較方式よりもノイズが発生し易いため、ノイズ除去しきい値をセル比較方式よりも大きくする必要がある。ノイズ除去しきい値よりも小さな欠陥は検出できないことを意味する。

## 【0011】

以上の説明において、上記の2値化しきい値やノイズ除去しきい値などは検査パラメータ(検査条件)と呼ばれる。以下にこの検査パラメータの設定について説明する。

図10は典型的な検査パラメータの設定画面の一例を示す図である。

## 【0012】

同図において、検査パラメータ設定画面には、検査対象のチップを明示したウエハマップ40やこの検査対象のチップを拡大して表示するセル領域設定画面41などが表示され、ユーザはこのセル領域設定画面41で破線で囲むようにしてセル領域（セル部）42を選択することにより、非セル領域とは異なる検査パラメータを用いて検査を行なうことができる。即ち、セル領域42を選択した上で、このセル領域42における検出光学系パラメータや画像処理パラメータなどの各種の検査パラメータをGUI上から直接入力し、引き続き、セル領域以外の非セル領域の検査パラメータを同様にGUI上から入力する。セル領域42では、ノイズ除去しきい値を非セル部より小さく設定することにより、非セル部よりも高感度の検査を行なうことができる。

## 【0013】

次に、セル領域の設定手順について説明する。

## 【0014】

セル領域設定画面41上でカーソルをセル領域42とする領域の外周部の所望の位置におき、マウスをクリックしてその位置をセル領域42の頂点として指定し、各頂点毎にこの指定する動作を繰り返すことにより、セル領域42の頂点群を指定し、セル領域42を設定する。この方法では、チップ領域内に10個以上に分散して配置されている場合もあり、各セル領域に対して逐一設定する必要がある。

## 【0015】

次に、第2の従来技術例として、電子線式の欠陥レビュー装置について説明する。

## 【0016】

第1の技術例として先に説明したパターン検査装置では、欠陥の発生状況のわかっていないウエハを対象とするのに対し、欠陥レビュー装置では、パターン検査装置によって欠陥位置が既に分かっているウエハを対象として、欠陥のさらなる詳細な観察を目的として、欠陥位置の画像を再度検出するものである。

## 【0017】

即ち、まず、上記のようなパターン検査装置によってウエハを検査し、欠陥位

置を検出する。パターン検査装置の出力情報は、ウエハ上の欠陥位置やサイズの概略などの簡単な欠陥に関する情報からなっている。

## 【 0 0 1 8 】

通常、パターン検査装置における欠陥検出においては、検査時間を短縮するために、欠陥のサイズに対して、その詳細が観察できるほどには十分に高い倍率では画像を検出しない。

## 【 0 0 1 9 】

欠陥レビュー装置は、パターン検査装置の出力情報を入力として、ウエハ上の欠陥位置の画像とこの画像に対応する参照画像とを欠陥の詳細が観察できるほど充分高い倍率で撮像する。撮像倍率は事前にユーザが設定する検査パラメータの1つであり、全ての欠陥に対して事前に設定した特定の倍率で画像を撮像する。

## 【 0 0 2 0 】

## 【発明が解決しようとする課題】

上記従来技術として説明したように、セル比較方式とダイ比較方式とのいずれを実行するかを含めて、検査パラメータ一般について被検査対象領域を多数の部分検査領域に分割し、各部分検査領域毎に異なる検査パラメータを設定しようとしても、各部分検査領域の設定は人手に頼らざるを得ず、効率的に行なうことができない。実質的に検査パラメータが異なる多数の部分検査領域に分割し、部分検査領域毎に異なる検査パラメータで検査することは実質的に不可能となっている。これは以下の点において不利である。

## 【 0 0 2 1 】

まず、第1に、検出欠陥数の爆発を回避することができない。パターンの密度によって、致命的な欠陥のサイズは異なる。即ち、パターン密度が高いところでは、より小さなサイズの欠陥までも確実に検出することが重要である。しかるに、欠陥検出感度をパターンが密な領域で適正となる程度に充分高く設定した場合、これを被検査領域全面に適用すると、欠陥検出数が数1000個以上に及んでしまい、管理が困難になってくる。また、パターンが粗な部分では、必要以上に検出感度を高く設定せず、適切な低さに設定することができれば、検出欠陥数を減らすことができ、致命欠陥数の把握など管理の上で有利となる。

## 【0022】

第2に、検査パラメータを場所毎に最適化することができない。検査パラメータには、先に説明した致命性に関連するパラメータが例に挙げることができる。

この他にも、画像検出条件に関連するパラメータについて、上記第2の従来技術例として紹介した欠陥レビュー装置を例に説明すると、先に述べたように、パターンの疎密によって管理上検出が最も重要な欠陥サイズが決まる。画像を検出する際の撮像倍率は、この欠陥サイズの欠陥が撮像画像サイズに対して適切な程度に設定しなくてはならない。しかし、現状では、一定の撮像倍率で画像を検出しているので、欠陥のサイズに対して、倍率が過大もしくは過小になる場合がしばしば生じる。

## 【0023】

本発明の目的は、かかる問題を解消し、被検査対象領域での部分検査領域の設定の効率化を図り、各部分検査領域に設定する検査パラメータの最適化を容易に可能とした電子回路パターンの欠陥検査管理システムを提供することにある。

## 【0024】

## 【課題を解決するための手段】

上記目的を達成するために、本発明は、被検査対象領域を検査条件が異なる少なくとも2個以上の部分検査領域に分割する検査領域設定手段と、該検査領域設定手段によって設定された各部分検査領域に対して、検査条件を設定する検査条件設定手段と、該検査領域設定手段によって設定された各部分検査領域に対して、該検査条件設定手段によって設定した検査条件で検査を実行する検査実行手段とを有する構成をなすものである。

## 【0025】

そして、検査領域設定手段は、レイアウトパターンに基づいて、被検査対象領域を複数の部分検査領域に分割する構成とするものである。

## 【0026】

## 【発明の実施の形態】

以下、本発明の実施形態を図面により説明する。

図1は本発明による電子回路パターンの欠陥検査管理システムの第1の実施形

態を示す構成図であって、1はパターン検査装置、2は設計情報サーバ、3はLANなどのネットワークである。

## 【0027】

同図において、パターン検査装置1はネットワーク3を介して設計情報サーバ2と接続されており、設計情報サーバ2との間でデータの授受が可能となっている。設計情報サーバ2には、パターン検査装置1で検査する半導体ウェハのレイアウトデータが格納されており、パターン検査装置1は、このレイアウトデータを基に、半導体ウェハでのチップの検査対象領域をセル部と非セル部とに分割し、夫々毎に検査パラメータ（検査条件）を設定するものである。

## 【0028】

レイアウトデータは、半導体ウェハのマスク製作などに用いられる汎用的なデータであって、各層における配線配置を配線の端点の座標や幅などの数値から成るベクトルデータである。レイアウトデータを画像に展開したものをレイアウトパターンといい、その一例を図2に示す。かかるレイアウトパターンは、レイアウトデータから容易に合成することができる。

## 【0029】

以下では、レイアウトデータに基づいて、検査対象領域をパターンの稠密度が異なる複数の部分検査領域に分割する手法について説明する。

## 【0030】

最も単純な手法としては、検査対象領域をレイアウトデータに基づいて、部分検査領域としてのセル部と非セル部に分割する方法が考えられる。レイアウトデータは、各機能ブロック毎にモジュール化された階層構造を有している。図3に示すように、システムLSIでは、チップ内に複数の設計モジュールがあり、セル部が分散配置されていることもある。セル部を含め、各モジュールの領域をレイアウトデータから容易に抽出することができる。即ち、一般に、検査対象領域データSは、モジュール毎に記述されたレイアウトデータに従って、次のような部分検査領域データ $S_i$ （但し、 $i = 1, 2, 3, \dots$ ）に分割することができる。

## 【0031】

$$S = \{S_1 \cup S_2 \cup S_3 \cup S_4 \cup \dots\}$$

ここで、各部分検査領域データ  $S_i$  は、矩形範囲の座標  $(x_{ij}, y_{ij})$  (但し、 $j = 1, 2, 3, \dots$ ) 並びにどの検査パラメータセットを使用するかを指定するインデックス  $I_p$  から成っている。即ち、

$$S_i = \{ (x_{i1}, y_{i1}), (x_{i2}, y_{i2}), I_p \}$$

で表わされる。

#### 【0032】

次に、上記のように分割した各部分検査領域毎に検査条件を設定する方法について説明する。

#### 【0033】

図4は検査条件設定のための検査パラメータ設定画面の一具体例を示す図である。

#### 【0034】

図4において、検査パラメータ設定画面には、図10に示した従来の検査パラメータ設定画面と同様、検査対象のチップを明示したウエハマップ4やこの検査対象のチップを拡大して表示するセル領域設定画面5などが表示される。図4(a)はセル領域設定画面5での一方の部分検査領域6に対するパラメータ設定画面を、図4(b)は同じ検査対象領域のセル領域設定画面5での他方の部分検査領域7に対するパラメータ設定画面を夫々示しており、夫々毎に検査パラメータが入力設定される。図4(a), (b)のいずれのパラメータ設定画面でも、検出画像にレイアウトデータに基づいて設定される各部分検査領域6, 7を表わす枠がオーバーレイして表示されている。

#### 【0035】

このようにして、パターン検査装置1(図14)では、部分検査領域6が図4(a)に示すパラメータ設定画面で入力された検査パラメータを基に検査が行なわれ、部分検査領域7が図4(b)に示すパラメータ設定画面で入力された検査パラメータを基に検査が行なわれる。

#### 【0036】

図5は本発明による電子回路パターンの欠陥検査管理システムの第2の実施形

態を示す構成図であって、8は欠陥レビュー装置であり、図1に対応する部分には同一符号をつけて重複する説明を省略する。

## 【0037】

同図において、この第2の実施形態では、図1に示した構成に加え、欠陥レビュー装置8がLAN3に接続されており、パターン検査装置1や設計情報サーバ2との間でデータの授受が可能となっている。また、設計情報サーバ2は、検査対象となる製品の各品種や工程毎に設計情報を記憶している。

## 【0038】

欠陥レビュー装置8は、ウエハ上での欠陥位置が既に分かっているウエハを対象として、欠陥のさらなる詳細な観察を目的として、欠陥位置の画像を再度検出するものである。即ち、パターン検査装置1によって検出された欠陥位置が、検査結果情報として、欠陥レビュー装置8に転送される。この検査結果情報はテキスト情報であり、欠陥のID (Identification) や欠陥のX, Y座標から成るものである。

## 【0039】

欠陥レビュー装置8は、検査結果情報中に記録された各欠陥位置の画像を取得する。そして、各欠陥の画像を取得する際、撮像倍率などの検査パラメータを欠陥の位置する領域の特性（セル/非セルやパターン密度など）に応じて決定する。このために、画像検出に先立って、設計情報サーバ2からレイアウトデータを取得する。ユーザは欠陥レビュー装置8の操作画面上で検査対象品の品種や工程の情報を入力する。欠陥レビュー装置8は入力された対象となる品種や工程のレイアウトデータを設計情報サーバ2から検索し、取得する。そして、取得したレイアウトデータに基づいて、部分検査領域データを生成する。ここで、部分検査領域データとは、第1の実施の形態で言及したものと全く同様とする。

## 【0040】

次に、かかる部分検査領域データに基づいて、2種類の検査パラメータを部分検査領域毎に変更する方法を説明する。

## 【0041】

変更する2種類の検査パラメータは、画像検出モードと撮像倍率である。これ

ら検査パラメータの意味並びに場所毎に変更する目的について説明する。

【0042】

画像検出モードは、参照画像を検出するか否かを指定するパラメータである。

【0043】

セル部は、同一のパターンの繰り返しからなるので、事前にセル部の画像を撮像して記憶しておけば、欠陥ID毎に毎回参照画像を検出する必要はなく、記憶した画像を繰り返し参照画像として使用することができる。参照画像を新たに検出する場合には、半導体ウェハを搭載したステージを所望の位置に移動させ、撮像領域に電子線を照射して画像を検出するステップを経る必要があるために、記憶装置に記憶した参照画像を繰り返し流用する場合に比べて、多くの時間を要することになる。従って、参照画像を流用するモードにおいては、検査時間を大幅に短縮することができるために有利である。

【0044】

以下では、参照画像を記憶し、流用するモードを『参照画像レスモード』といい、参照画像を欠陥ID毎に毎回検出するモードを『参照画像検出モード』ということにする。検査対象領域中のセル領域に対しては『参照画像レスモード』を、非セル領域に対しては『参照画像検出モード』を夫々設定することにより、検査時間を大幅に短縮することができる。

【0045】

撮像倍率は、画像を検出する倍率である。レビュー作業は、欠陥の詳細な観察が目的であるから、欠陥の大きさに対して適正な撮像倍率を設定しなければならない。但し、欠陥の大きさに関する情報がない場合には、任意の大きさの欠陥に対して適正な倍率を設定することはできないので、現実的には、最も観察が重要な欠陥のサイズに対して適正となるように撮像倍率を設定する。最も観察が重要なサイズは、配線の平均的な間隔から定まる致命性判定基準サイズに基づいて決定することができる。

【0046】

次に、本発明による電子回路パターンの欠陥検査管理システムの第3の実施形態について説明する。



## 【0047】

この第3の実施形態も、図5に示す構成をなすものであるが、先に説明した第1、第2の実施形態に対して、さらに、部分検査領域のフレキシブルな調整を可能とするものである。上記第1、第2の実施形態では、部分検査領域の設定をレイアウトデータに基づいて完全に自動的に行なうために、部分検査領域のフレキシブルな調整が必ずしも可能とはいえない。この第3の実施形態では、パターン検査装置で検出した欠陥位置を欠陥レビュー装置によってレビューし、そのレビュー結果を、さらに、パターン検査装置の検査パラメータ設定にフィードバックするものである。

## 【0048】

即ち、図5において、パターン検査装置1によって検出された欠陥位置は検査結果情報として、レビュー装置8に転送される。レビュー装置8はレビューを行ない、各欠陥に欠陥の種類などの夫々の欠陥に関する情報を付与したレビュー結果情報を生成する。パターン検査装置1は、必要に応じて、レビュー装置8からレビュー結果情報を読み出すことができる。

## 【0049】

図6(a)はこの第3の実施形態でのレビュー結果情報を取得したパターン検査装置1におけるパラメータ設定画面を示す図であって、図4に対応する部分には同一符号をつけている。また、図6(b)は図6(a)におけるセル領域設定画面5を拡大して示す図であり、9はセル部、10は非セル部、11は欠陥群である。

## 【0050】

同図(a)に示すパラメータ設定画面では、検査対象とするチップが明示されたウェハマップ4と、このチップを拡大して示すセル領域設定画面5などが表示され、このセル領域設定画面5では、図6(b)に示すように、部分検査領域の設定状態やレイアウトデータ、検出画像、レビュー結果情報の少なくとも1個以上が並列して表示され、もしくはこれらがオーバーレイ表示される。ここで、オーバーレイ表示とは、複数のマップを半透明化して重ね合わせ表示するものである。オーバーレイ表示により、マップ間の重なり具合を容易に観察することができる。

## 【0051】

図6(b)において、太破線で囲んで示すセル部9では、その部分検査領域の設定状態と検出画像とレビュー結果情報とがオーバーレイ表示されている。部分検査領域であるセル部9を規定する太破線の枠と部分検査領域である非セル部10を規定する太実線の枠とは設計情報サーバ2(図5)に蓄積されているレイアウトデータに基づくものであって、セル領域設定画面5にセル部9と非セル部10の画像にオーバーレイ表示される。これらセル部9と非セル部10とは、異なる検査パラメータがセットされる。検査パラメータは、セル部9では、検出感度大に設定され、非セル部10では、検出感度小に設定される。○、△、×などの記号はセル部9及び非セル部10にオーバーレイ表示されるレビュー結果情報を示している。ここでは、かかるレビュー結果情報は、一例として、欠陥の種類に対応しており、○は異物、△はへこみ、×は虚報を夫々示している。これら欠陥の発生位置がかかる記号の表示位置となる。

## 【0052】

ユーザは、かかるセル領域設定画面5を観察することにより、検出した欠陥数が多すぎないか、また、不自然に少なくないかなど、即ち、検出感度が妥当か否かを確認することができる。

## 【0053】

ここで、部分検査領域はユーザが自由に編集できるものとする。具体的には、新たな部分検査領域の追加や既存の部分検査領域の削除、既存の部分検査領域への部分的な領域の追加、削除が可能である。

## 【0054】

また、検査対象領域内の特定箇所に虚報が集中して発生することがある。これには、プロセスに起因して特定の箇所でパターンの形状精度が不安定になる、あるいは特定の箇所で膜厚のばらつきが大きくなって干渉光強度のばらつきが大きくなるなどの原因が考えられる。図6(b)では、1つの非セル部10で示す欠陥群11がこれに対応している。ユーザはセル領域設定画面5を観察して、不自然に欠陥が特定箇所に集中している、もしくは直線上に並んでいる、といったような欠陥の分布に特異なパターンが認められる場合、欠陥の発生箇所を拡大表示

することにより、虚報か否か確認することができる。画像を拡大表示して確認し、検出不要と判断される場合には、虚報の集中発生領域周辺に新たに部分検査領域を設定し直し、その部分検査領域内での検査感度を下げることにより、検出不要な欠陥の数を低減することができる。

## 【0055】

図7は図6(b)に示すセル領域設定画面5で以上のように設定した部分検査領域(×で示す虚報が不自然に発生した非セル部10の部分検査領域)を再編集した結果を示す図であって、×で示す虚報を除いた再編集後のセル領域設定画面5に上記の検査結果やレビュー結果情報をオーバーレイ表示している。部分検査領域12は、×で示す虚報が検査領域から除かれることにより、図6に示す部分検査領域に対して縮小されている。この結果、図6における虚報群11の出力が抑制されることになる。

## 【0056】

## 【発明の効果】

以上説明したように、本発明によれば、検査対象領域において、場所毎に異なる検査パラメータによって検査するための部分検査領域の設定工数を大幅に低減することができ、その結果、検査対象領域を場所毎に最適な検査条件で検査することができる。

## 【0057】

また、検出感度をパターンの最も稠密な部分に合わせて検査を行なうことによる検出欠陥数の爆発を回避できる。

## 【図面の簡単な説明】

## 【図1】

本発明による電子回路パラメータの欠陥検査管理システムの第1の実施形態を示すブロック図である。

## 【図2】

レイアウトパターンの説明図である。

## 【図3】

チップ内のモジュール配置例を説明する図である。

【図4】

図1に示した第1の実施形態での検査パラメータ設定画面の一具体例を示す図である。

【図5】

本発明による電子回路パラメータの欠陥検査管理システムの第2及び第3の実施形態を示すブロック図である。

【図6】

本発明による電子回路パラメータの欠陥検査管理システムの第3の実施形態での検査パラメータ設定画面の一具体例を示す図である。

【図7】

図6に示した検査パラメータ設定画面の部分検査領域を再編集した検査パラメータ設定画面のセル領域設定画面を示す図である。

【図8】

従来のパターン検査装置の一例を示す構成図である。

【図9】

図8における比較器の比較演算処理についての説明図である。

【図10】

従来の検査パラメータ設定画面の一例を示す図である。

【符号の説明】

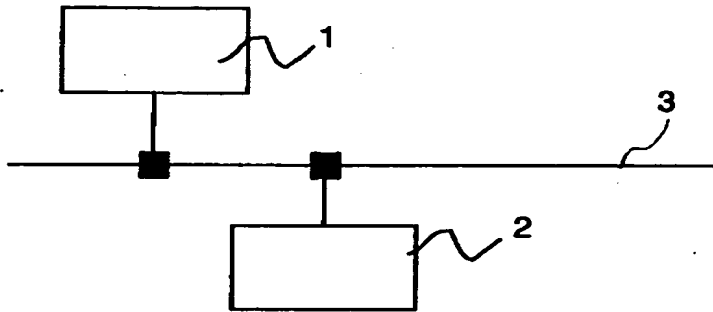
- 1 パターン検査装置
- 2 設計情報サーバ
- 3 LAN
- 4 ウエハマップ
- 5 セル領域設定画面
- 6, 7 部分検査領域
- 8 欠陥レビュー装置
- 9 セル部
- 10 非セル部
- 11 欠陥（虚報）群

- 1 2 部分検査領域
- 2 0 ステージ
- 2 1 半導体ウエハ
- 2 2 検出光学系
- 2 3 検出器
- 2 4, 2 5 メモリ
- 2 6 比較器
- 2 7 検査対象箇所
- 2 8 参照箇所

【書類名】 図面

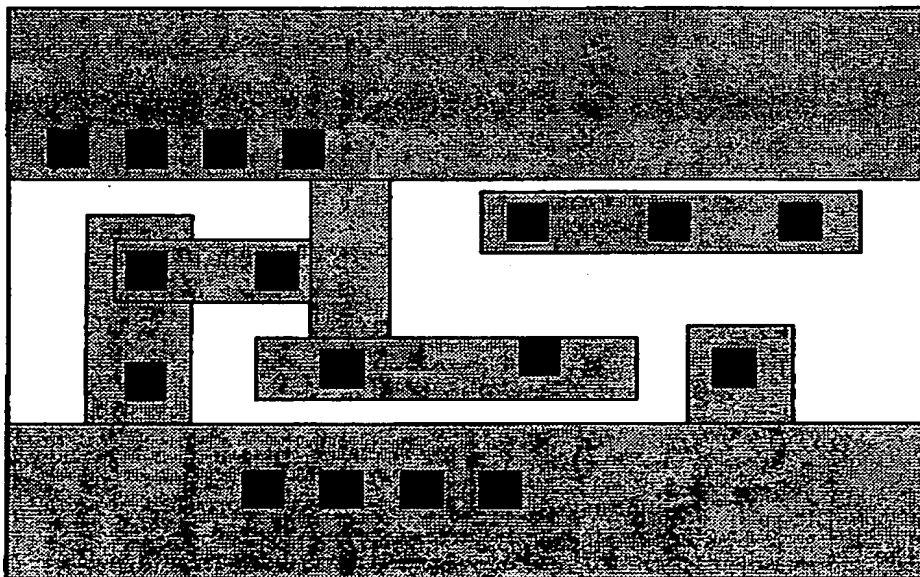
【図1】

図1

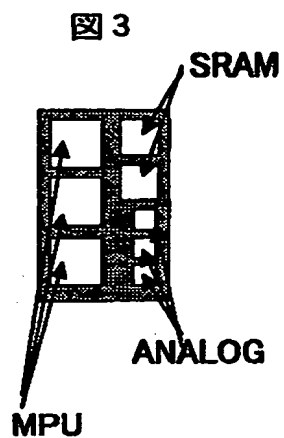


【図2】

図2

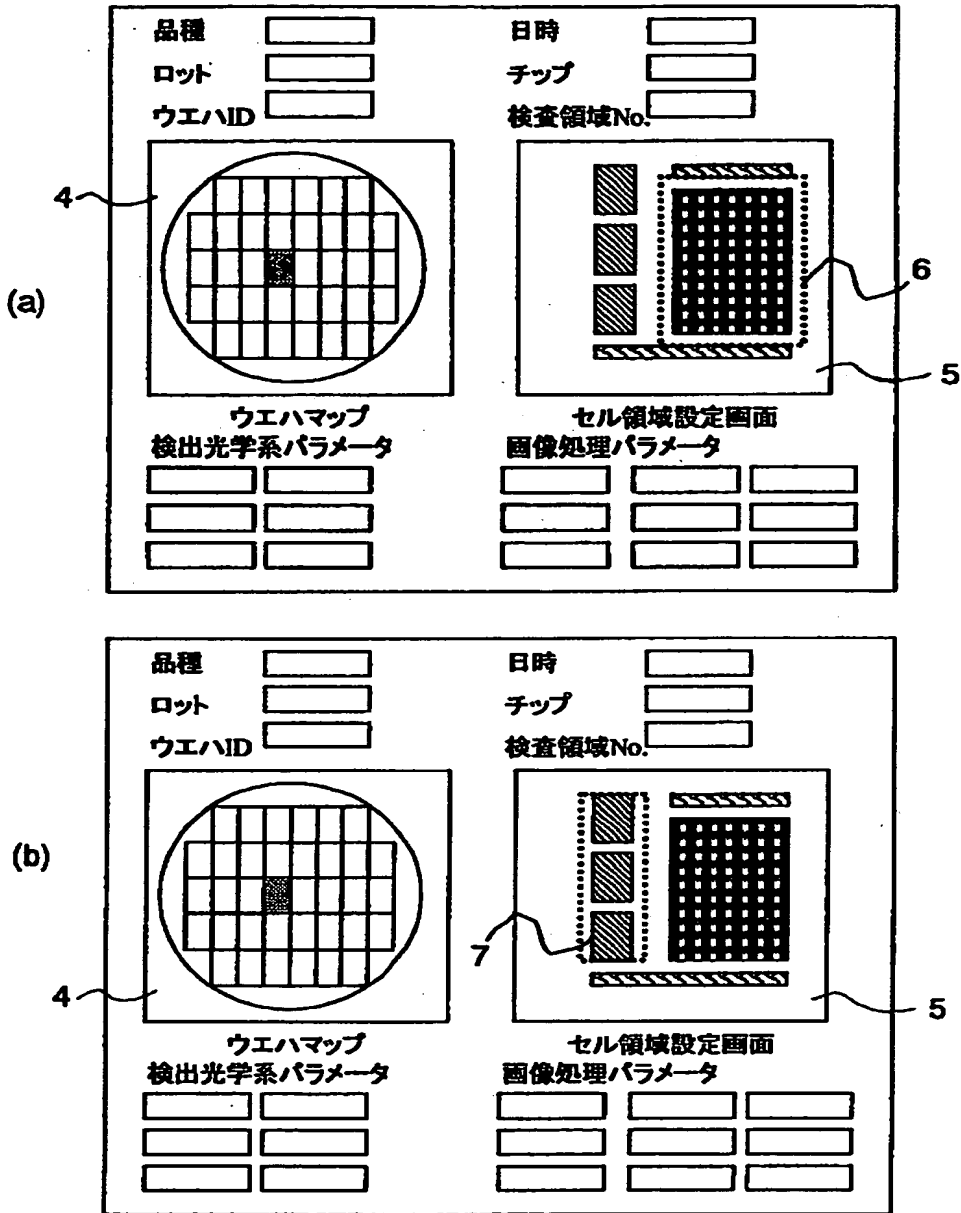


【図3】



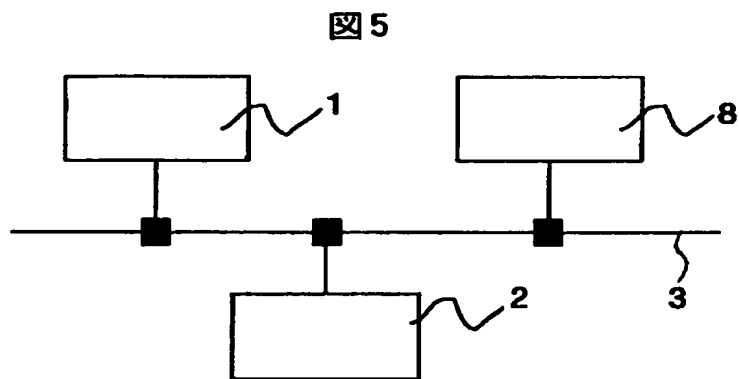
【図4】

図4

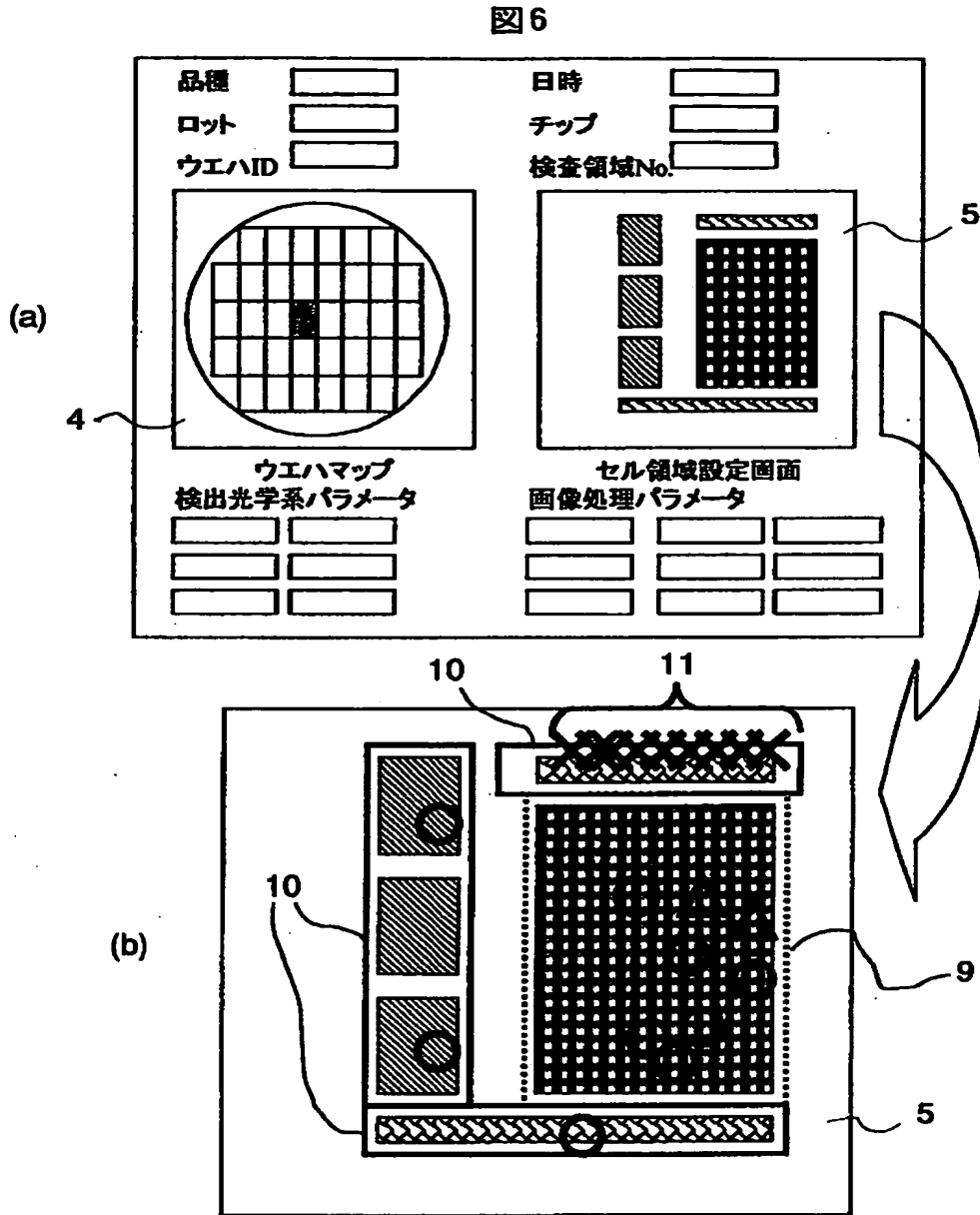




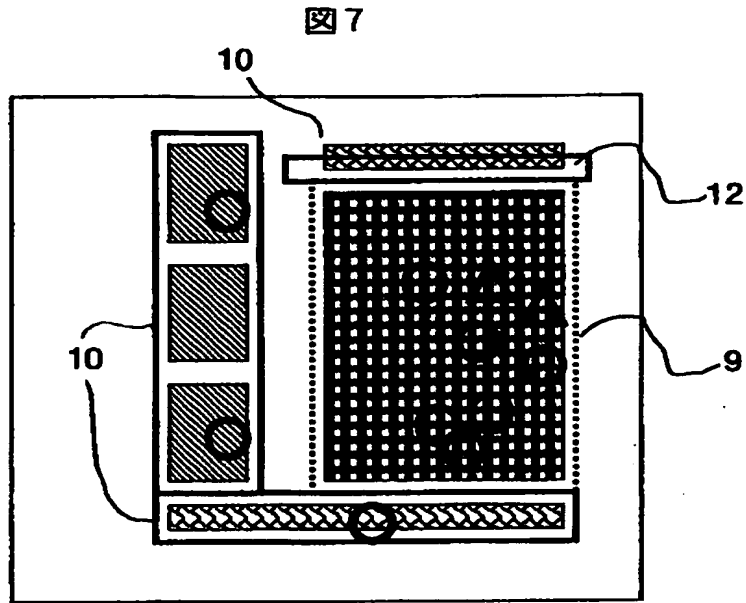
【图 5】



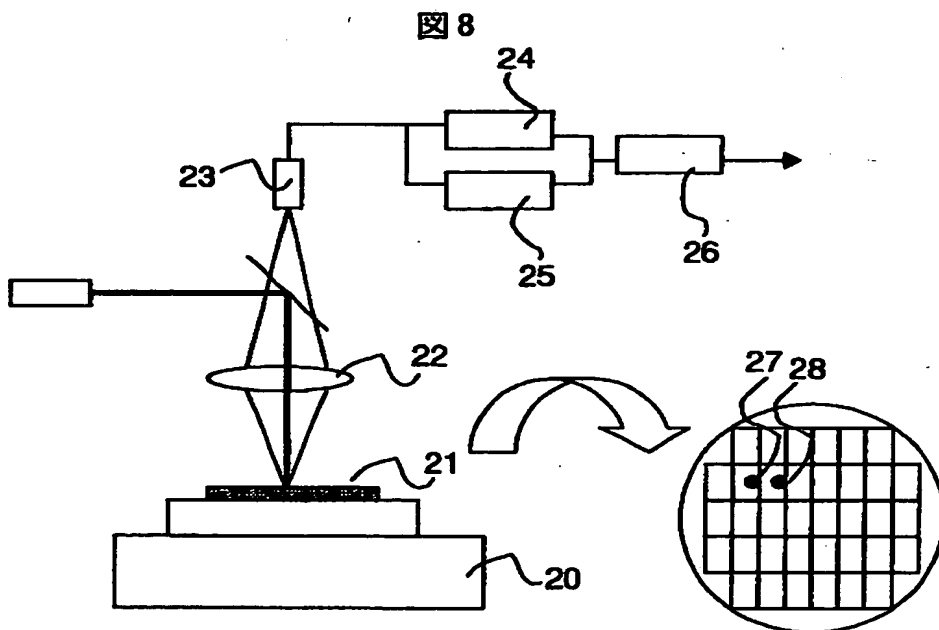
【図6】



【图 7】

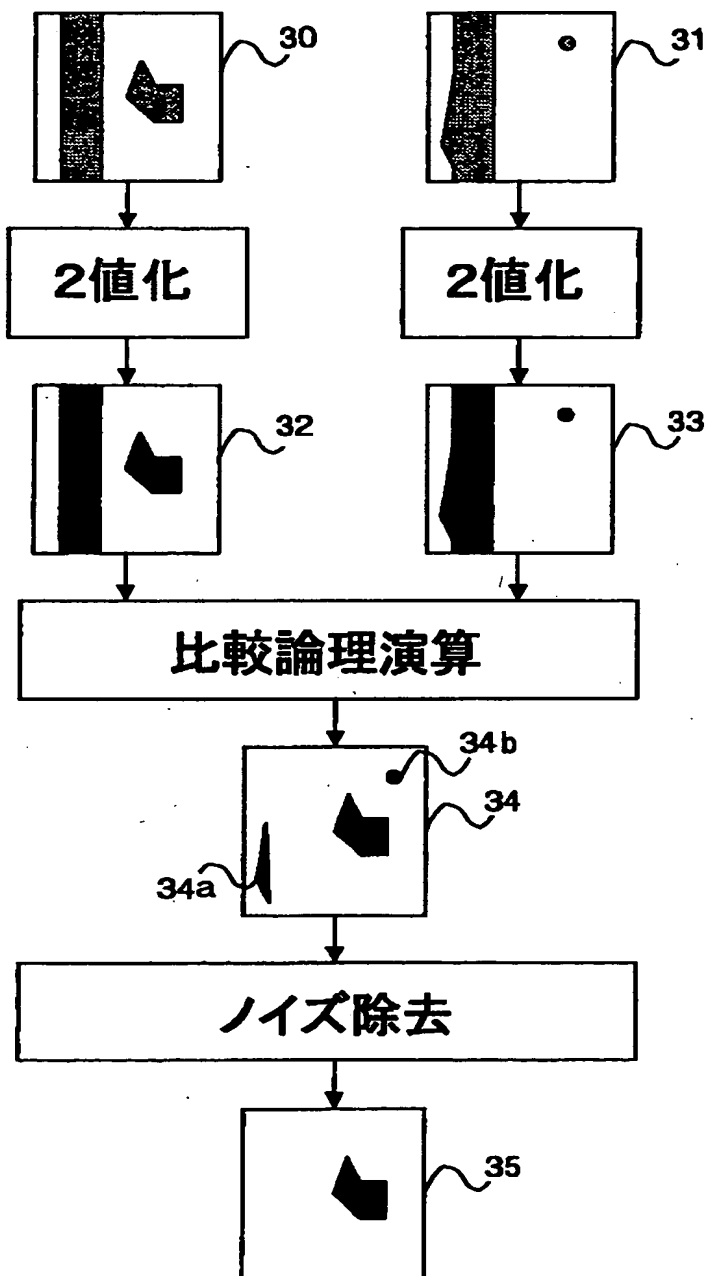


【图 8】



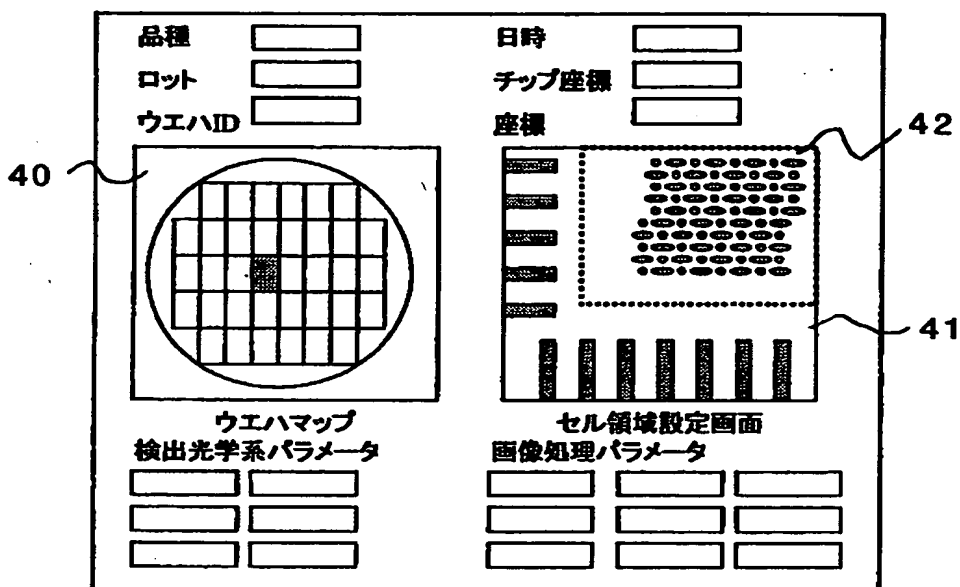
【図9】

図9



【図10】

図10



【書類名】 要約書

【要約】

【課題】 検査対象領域を局所的に最適な検査条件で検査して虚報の低減，検査時間の短縮を図り、検出欠陥数の爆発を回避して致命性欠陥の管理を容易にする。

【解決手段】 設計情報サーバ2には、半導体ウエハのマスク作成時に用いられる汎用のレイアウトデータが蓄積されており、このレイアウトデータを参照してパターン検査装置1で検査する検査対象領域をセル部、非セル部の部分検査領域に分割し、各部分検査領域毎に検査パラメータを設定する。欠陥レビュー装置8は、パターン検査装置1の検査結果を取り込むが、欠陥画像を取り込む際、その欠陥がセル部、非セル部、パターン密集部などのいずれに発生したものであるかをレイアウトデータに基づいて判定し、その判定結果に応じてこの欠陥の撮影倍率などの検査パラメータを設定し、致命性の管理基準を設定する。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日  
[変更理由] 新規登録  
住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所